

**ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ**

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

7ο Εξάμηνο – Ροή Η

Εισαγωγή στη Σχεδίαση Συστημάτων VLSI

4η Εργαστηριακή Αναφορά

Εικόνα που περιέχει κείμενο, ηλεκτρονικές συσκευές, κύκλωμα

Περιγραφή που δημιουργήθηκε αυτόματα

Σκόρδα Στεφανία, Α.Μ: 03118852

Παπαδημητρίου Κωνσταντίνος, Α.Μ: 03118133

Δεκέμβριος 2021

***Άσκηση 1***

Αρχικά, και οι 2 διατάξεις αποτελούνται από 2 στάδια, εκ των οποίων το ένα αποτελείται από αναστροφείς. Οπότε, η σύγκριση γίνεται μεταξύ του ενός σταδίου. Στην περίπτωση (α) το στάδιο αποτελείται από μία πύλη NAND ενώ στην περίπτωση (β) αποτελείται από μία πύλη NOR. Με βάση όσα ξέρουμε, η πύλη NAND είναι πιο γρήγορη από μία πύλη NOR, οπότε με μία πρώτη ματιά μπορούμε να υποθέσουμε ότι η διάταξη της (α) περίπτωσης είναι πιο γρήγορη από την διάταξη της (β) περίπτωσης.

Για την (α) περίπτωση ισχύουν τα εξής:

Καθυστέρηση:

NAND: g=4/3, p=2

NOT: g=1, p=1

G= (4/3)\*1 = 4/3

P= 2+1 = 3

H = = 3

F = G\*H=4

f2 = 2 = g2h2 = => x=6C => INVx2

Dmin = 2\* + 3 = 7

Για την (β) περίπτωση ισχύουν τα εξής:

Καθυστέρηση:

NOR: g=5/3, p=2

NOT: g=1, p=1

G= (5/3)\*1 = 5/3

P= 2+1 = 3

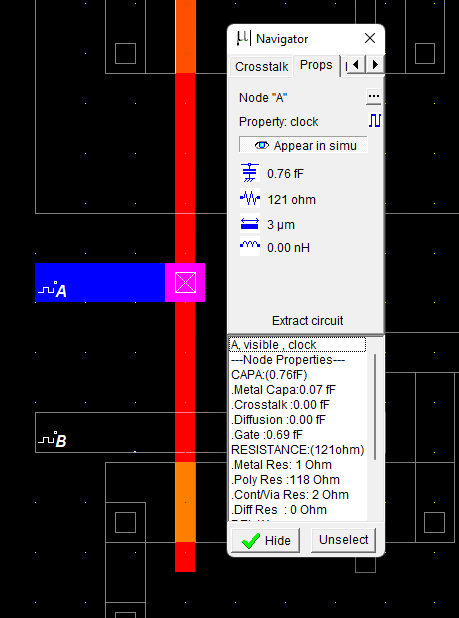
H = = 4

F = G\*H=20/3

Dmin = 2\* + 3 ≈ 8,16

Με βάση την δοθείσα ανάλυση, έχουμε ότι για τιμές f1 = 3.33 και f2=2 => y = 10C => NORx2.

Δηλαδή, οι παραπάνω θεωρητικοί υπολογισμοί επιβεβαιώνουν την παραπάνω υπόθεση.

Εικόνα που περιέχει κείμενο

Περιγραφή που δημιουργήθηκε αυτόματα***(α)***

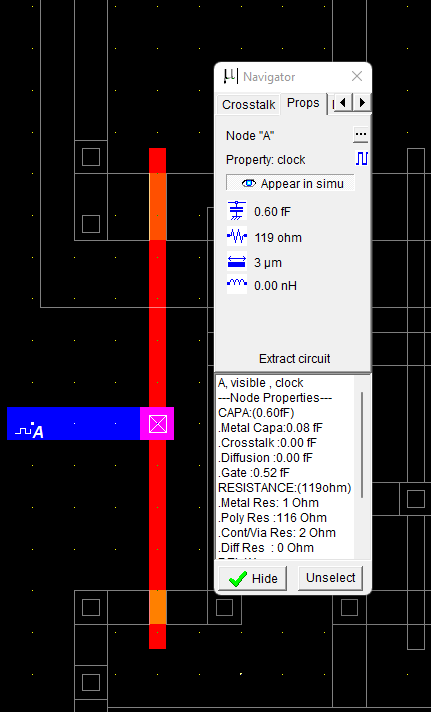
***Εικόνα που περιέχει κείμενο, εσωτερικό, υπολογιστής, ηλεκτρονικές συσκευές

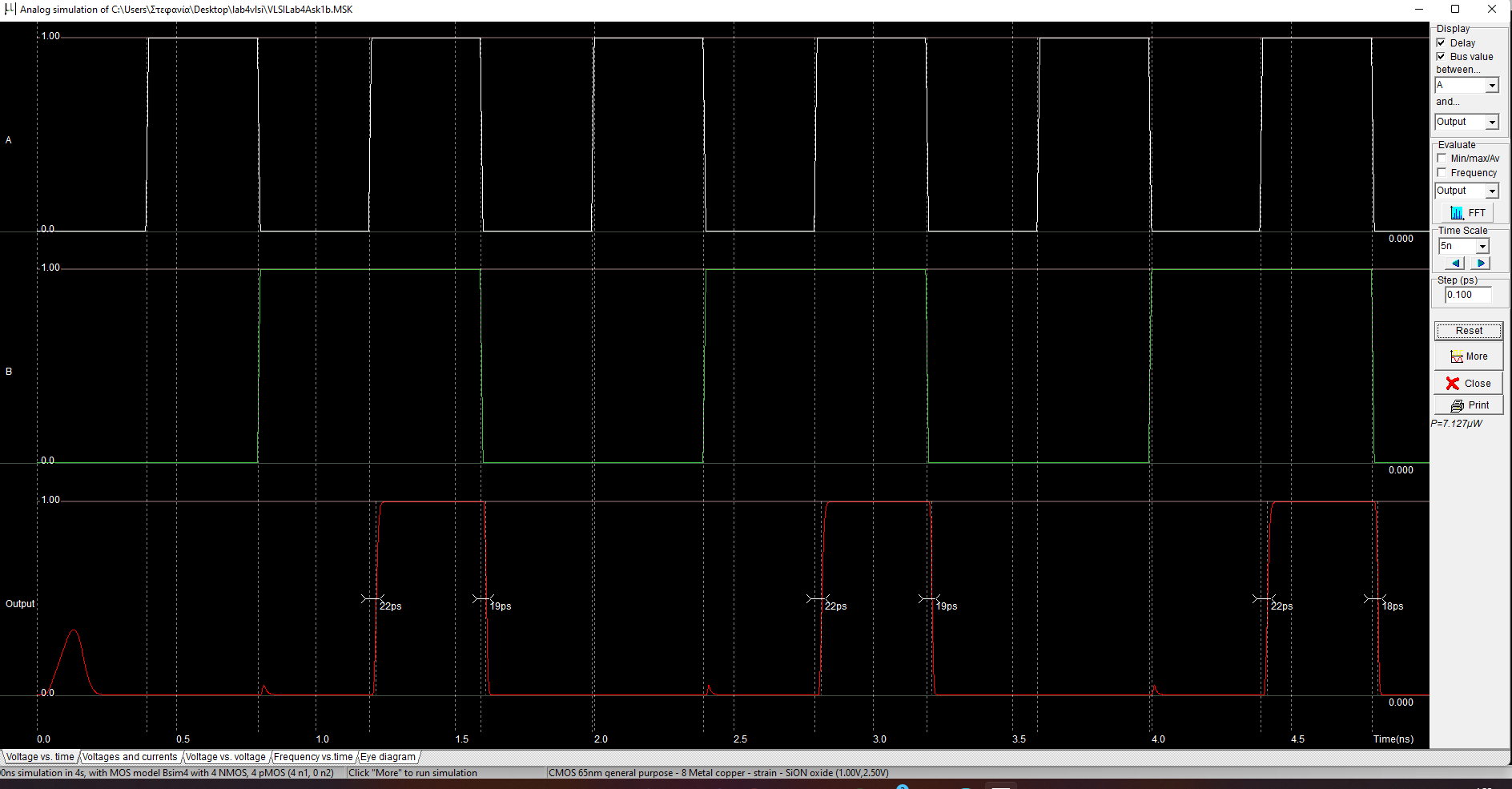
Περιγραφή που δημιουργήθηκε αυτόματα***

***(β)***

***Εικόνα που περιέχει κείμενο

Περιγραφή που δημιουργήθηκε αυτόματα***

******

******

Από τις προσομοιώσεις επαληθεύεται ότι η διάταξη (α) είναι πιο γρήγορη από την διάταξη (β).

***Άσκηση 2***

1. Για την σχεδίαση της κάθε διάταξης αναπτύχθηκε μία έκφραση για την καθυστέρησή του, συναρτήσει της ηλεκτρικής προσπάθειας μονοπατιού H.
   1. Για την πρώτη πύλη (nand 6 εισόδων), ισχύει G= και p=6 ενώ για τον αναστροφέα G=1 και p=1. Δηλαδή G= \*1= και P=6+1=7. Οπότε για την έκφραση ελάχιστης καθυστέρησης ισχύει :

+7

* 1. Για την πρώτη πύλη (nand 3 εισόδων), ισχύει G= και p=3 ενώ για την πύλη nor 2 εισόδων ισχύει G= και p=2. Δηλαδή G= \* = και P=3+2=5. Οπότε για την έκφραση ελάχιστης καθυστέρησης ισχύει :

* 1. Για την πρώτη πύλη (nand 2 εισόδων), ισχύει G= και p=2 ενώ για την πύλη nor 3 εισόδων ισχύει G= και p=3. Δηλαδή G= \* = και P=2+3=5. Οπότε για την έκφραση ελάχιστης καθυστέρησης ισχύει :

* 1. Για την πρώτη πύλη (nand 3 εισόδων), ισχύει G= και p=3 ενώ για την πύλη nor 2 εισόδων ισχύει G= και p=2 και για τον αναστροφέα G=1 και p=1. Δηλαδή G= \*\*1 = και P=3+1+2+1=7. Οπότε για την έκφραση ελάχιστης καθυστέρησης ισχύει :

1. Πίνακας υπολογισμών των καθυστερήσεων :

Για H=5:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Κύκλωμα | G | P | F=GBH | Dmin |
| Α | 8/3 | 7 | (8/3)\*5=40/3=13.3 | 14,3029674 |
| Β | 25/9 | 5 | 125/9=13.88 | 12,4535 |
| Γ | 28/9 | 5 | 140/9=15.55 | 12,8881064 |
| Δ | 20/9 | 7 | 100/9=11,11 | 14,30 |

Για H=18:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Κύκλωμα | G | P | F=GBH | Dmin |
| Α | 8/3 | 7 | 48 | 20,8564 |
| Β | 25/9 | 5 | 50 | 19,1421356 |
| Γ | 28/9 | 5 | 56 | 19,9666295 |
| Δ | 20/9 | 7 | 40 | 17,06 |

Συμπεραίνουμε με βάση τους θεωρητικούς υπολογισμούς ότι για H=5 ο ταχύτερος σχεδιασμός είναι το κύκλωμα (β) και για Η=18 ο ταχύτερος σχεδιασμός είναι το κύκλωμα (δ). Όσο αυξάνεται ο αριθμός των σταδίων, παρατηρούμε ότι υποπολλαπλασιάζεται το και αυξάνεται η παρασιτική καθυστέρηση P. Επομένως, μέχρι κάποια τιμή του Η είναι προτιμότερο να έχουμε λίγα στάδια, αλλά για μεγαλύτερες τιμές του Η είναι προτιμότερο να αυξήσουμε τα στάδια.

1. Για την σχεδίαση των κυκλωμάτων χρησιμοποιήθηκε η τεχνολογία cmos65nm .

Για H=18 κάνουμε τους παρακάτω θεωρητικούς υπολογισμούς για την διάταξη του (β) κυκλώματος :

H = 18 = => Cout = 18Cin = 18\*5C = 90C, αφού στο πρώτο στάδιο επιλέγουμε ελάχιστη NAND 3 εισόδων.

f2 = 10 = g2h2 = => y=15C => NORx3

Εικόνα που περιέχει κείμενο, εμφάνιση

Περιγραφή που δημιουργήθηκε αυτόματαΕικόνα που περιέχει κείμενο

Περιγραφή που δημιουργήθηκε αυτόματα

Κάνοντας την προσομοίωση:

Εικόνα που περιέχει κείμενο, ηλεκτρονικές συσκευές, εμφάνιση

Περιγραφή που δημιουργήθηκε αυτόματα

Όπου επαληθεύεται η θεωρητική τιμή της καθυστέρησης Dmin \* τ = 19,14\*3 = 57,42ps.

Για H=18 κάνουμε τους παρακάτω θεωρητικούς υπολογισμούς για την διάταξη του (δ) κυκλώματος:

H = 18 = => Cout = 18Cin = 18\*5C = 90C, αφού στο πρώτο στάδιο επιλέγουμε ελάχιστη NAND 3 εισόδων.

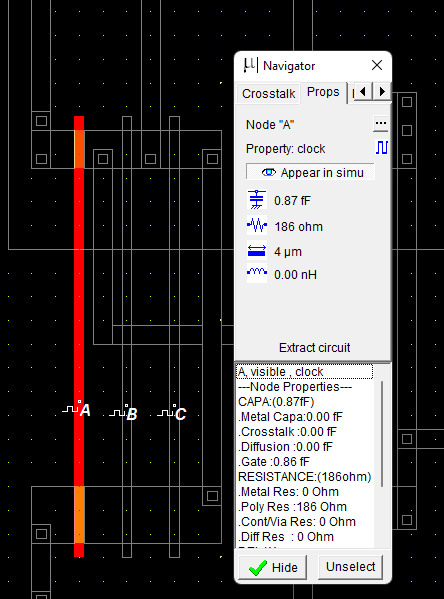
f4 = 5 = g4h4 = => w = 18C => INVx6

f3 = 2 = g3h3 = => z = 12C => NANDx3

f2 = 2 = g2h2 = => y = 6C => INVx2

Εικόνα που περιέχει κείμενο, πίνακας αποτελεσμάτων

Περιγραφή που δημιουργήθηκε αυτόματα



Κάνοντας την προσομοίωση:Εικόνα που περιέχει κείμενο, ηλεκτρονικές συσκευές

Περιγραφή που δημιουργήθηκε αυτόματα

Όπου επαληθεύεται η θεωρητική τιμή της καθυστέρησης Dmin \* τ = 17,06\*3 = 51,18ps.

***Άσκηση 3***

Οι παρακάτω διατάξεις σχεδιάστηκαν σε τεχνολογία cmos65.

1. Αρχικά, κάνουμε τους παρακάτω υπολογισμούς:

G=1

H = = 256 => F = 256

P = 1+1+1+1 = 4

f̂ = = 4

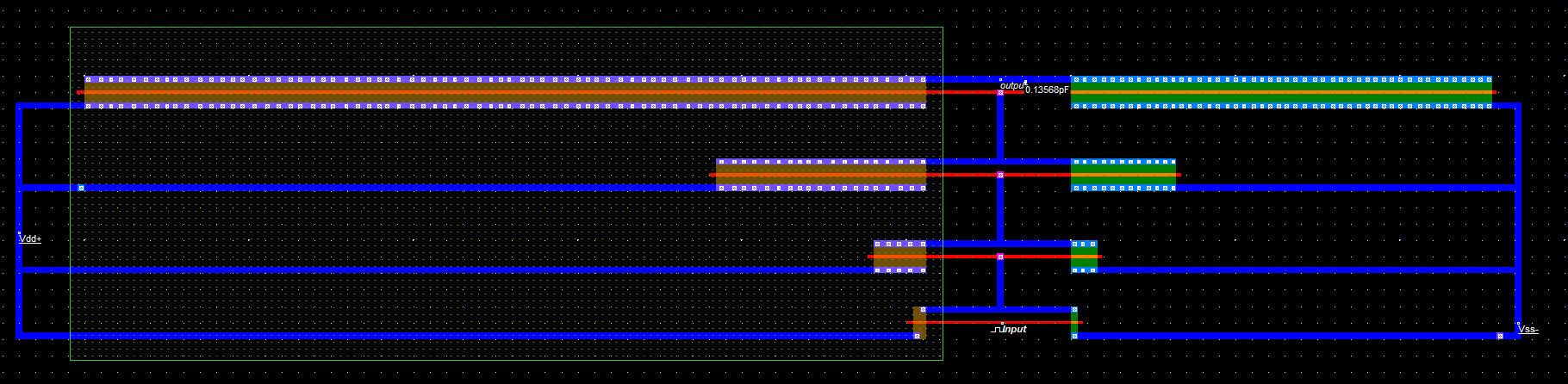
+ 4 = 20 , Dmin \* τ = 3\*20 = 60ps

f4 = 4 = g4h4 = => z = 192C => INVx64

f3 = 4 = => y = 48C => INVx16

f2 = 4 = => x = 12C => INVx4

f1 = 4 = ισχύει => INVx1

******

***Εικόνα που περιέχει κείμενο, εσωτερικό, στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα***

1. Στη συνέχεια, κάνουμε τους παρακάτω υπολογισμούς έχοντας δύο στάδια αναστροφέων:

G=1

H = = 256 => F = 256

P = 1+1 = 2

f̂ = = 16

+ 2 = 34, Dmin \* τ = 3\*34 = 102ps

f2 = 16 = => C2 = = 48C => INVx16

f1 = 16 = => C1 = 3C => INVx1

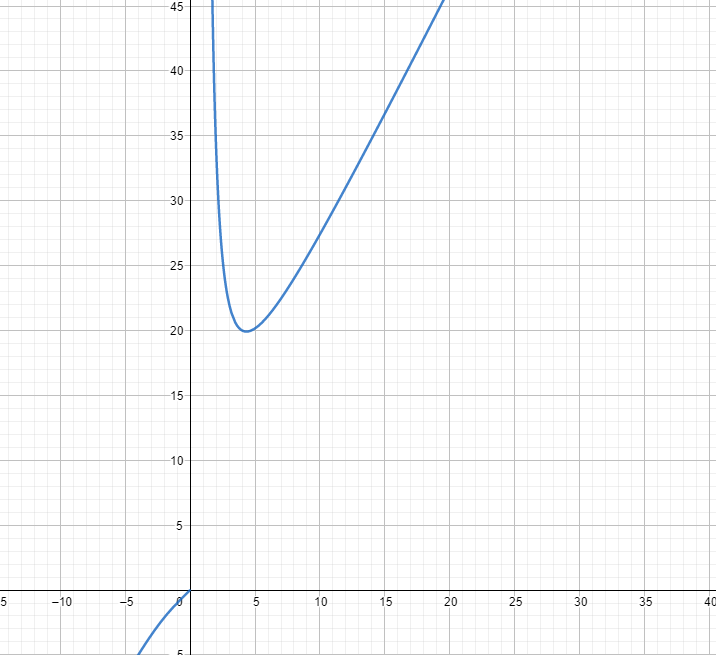
***Εικόνα που περιέχει κείμενο, εσωτερικό, φορητός υπολογιστής, εμφάνιση

Περιγραφή που δημιουργήθηκε αυτόματα***

***Εικόνα που περιέχει κείμενο, φως, υπολογιστής, εμφάνιση

Περιγραφή που δημιουργήθηκε αυτόματα***

Συμπέρασμα: Παρατηρούμε ότι αυξάνοντας τα στάδια έως και n = 4 (σημείο ελαχίστου), προκύπτει μικρότερη καθυστέρηση, όπως φαίνεται και στον τύπο της ελάχιστης καθυστέρησης, Dmin = + n (η γραφική παράσταση της οποίας παρουσιάζεται παρακάτω).



Επίσης, οι τιμές των καθυστερήσεων που υπολογίστηκαν θεωρητικά επαληθεύονται και από τις προσομοιώσεις.